

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

#2  
J1046 U.S. PRO  
10/003180  
10/30/01

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2001년 제 3749 호  
Application Number

출원년월일 : 2001년 01월 26일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)



2001년 03월 02일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2001.01.26
【국제특허분류】	G01R
【발명의 명칭】	다 핀의 반도체 장치를 효율적으로 테스트할 수 있는 반도체 테스트 시스템 및 테스트 방법
【발명의 영문명칭】	Test system and method for effectively testing semiconductor device having lots of pins
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박헌덕
【성명의 영문표기】	PARK,Heon Deok
【주민등록번호】	581225-1144427
【우편번호】	403-020
【주소】	인천광역시 부평구 산곡동 우성4차아파트 405동 409호
【국적】	KR
【발명자】	
【성명의 국문표기】	안상배
【성명의 영문표기】	AN,Sang Bae
【주민등록번호】	661107-1019717
【우편번호】	442-470

**【주소】** 경기도 수원시 팔달구 영통동 벽적골 969-1 삼성아파트 921동 303호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 전재국  
**【성명의 영문표기】** JEON, Jae Kuk  
**【주민등록번호】** 670923-1772028  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 벽적골 한신아파트 813동 206호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 4 면 4,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 11 항 461,000 원  
**【합계】** 494,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

다 핀의 반도체 장치를 효율적으로 테스트할 수 있는 반도체 테스트 시스템 및 테스트 방법이 개시된다. 본 발명의 반도체 테스트 시스템은 핀 일렉트로닉스(PE) 카드 및 패턴 메모리를 구비한다. PE 카드는 소정의 입력 패턴을 반도체 장치의 입력 핀으로 인가하기 위하여 구동하는 드라이버 및 반도체 장치의 출력 핀으로부터 출력되는 데이터를 소정의 출력 패턴과 비교하기 위한 비교기를 각각 포함하는 다수의 비교기 및 드라이버 부들과 소정의 제어 신호에 응답하여, 비교기 및 드라이버부 각각을 반도체 장치의 각 핀 그룹 중의 어느 1나의 핀과 전기적으로 연결시키는 다수의 제어부들을 포함한다. 패턴 메모리는 입력 패턴 및 출력 패턴을 저장한다. 그리고, 반도체 장치의 핀들 중에서 선택된 일부 핀들 또는 전체 핀들은 소정 개수( $K$ ,  $K > 1$ 인 정수) 단위로 상기의 각 핀 그룹으로 나뉘어진다. 본 발명의 반도체 테스트 시스템 및 테스트 방법에 의하면, 저 핀용 테스트 장비를 이용하여 다 핀의 반도체 장치에 효율적인 테스트를 할 수 있다.

## 【대표도】

도 2

**【명세서】****【발명의 명칭】**

다 핀의 반도체 장치를 효율적으로 테스트할 수 있는 반도체 테스트 시스템 및 테스트 방법{Test system and method for effectively testing semiconductor device having lots of pins}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 의한 반도체 테스트 시스템을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 반도체 테스트 시스템을 나타내는 도면이다.

도 3은 종래 기술에 의한 반도체 테스트 시스템의 패턴 메모리를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 반도체 테스트 시스템의 패턴 메모리를 나타내는 도면이다.

도 5는 본 발명의 다른 일 실시예에 따른 반도체 테스트 시스템의 패턴 메모리를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 테스트 시스템에 관한 것으로서, 특히 다핀의 반도체 장치를 저

핀 장비로 효과적으로 테스트할 수 있는 반도체 테스트 시스템에 관한 것이다.

<8> 반도체 장치에 대한 테스트는 일반적으로 반도체 테스트 시스템을 이용하여 DC, AC, 기능(function)의 3가지 특성을 측정하는 과정이다. 반도체 장치의 기능 테스트는 주로 반도체 테스트 시스템에서 소정의 패턴을 발생하여 각 핀들로 입력하고, 이 때 출력되는 패턴을 예측 패턴과 비교함으로써 이루어진다. 따라서, 반도체 테스트 시스템은 측정하고자 하는 반도체 장치(Device Under Test, 이하 DUT라 함)의 모든 핀들과 전기적으로 연결될 수 있어야 한다. 반도체 테스트 시스템을 DUT와 전기적으로 접속시켜 주는 장치가 핀 일렉트로닉스 카드(Pin Electronics Card, 이하 PE 카드라 함)로서, 반도체 테스트 시스템의 테스트 헤드(test head)에 포함된다.

<9> PE카드는 DUT의 각 핀과 연결되는 다수의 채널(channel)을 포함하는데, DUT의 기능이 적절히 테스트되려면, PE 카드의 채널수는 DUT의 핀수와 1:1로 대응되어야 한다. 즉, DUT의 핀수가 N 개이면, 반도체 테스트 시스템에 포함되는 PE 카드의 채널 수는 적어도 N이어야 한다. 이로 인해 핀수가 많은 반도체 장치에 대한 테스트 진행시 PE 카드의 확장 및 패턴 메모리의 증가와 같은 반도체 테스트 시스템의 업그레이드(Up-Grade)가 요구된다. 테스트 시스템의 업그레이드(Up-Grade)로 안 되는 경우, 즉 PE 카드를 더 이상 확장할 수 없는 경우에는 그 테스트 시스템으로는 테스트를 수행할 수 없다.

<10> 도 1은 종래 기술에 따른 반도체 테스트 장치를 나타내는 도면이다. 이를 참조하면, 종래 기술에 따른 반도체 테스트 시스템은 하나 이상의 PE 카드(12)를 포함하는 테스트 헤드(10)를 구비한다. 하나의 PE 카드(12)에는 다수의 비교기 및 드라이버부(120\_1 ~ 120\_i)가 포함된다. 비교기 및 드라이버부(120\_1 ~ 120\_i)는 하나의 비교기(CP)와 드라이버(DR)가 쌍을 이루고 있다. 패턴 메모리(미도시)에 들어 있는 패턴 데이

터가 드라이버(DR)를 통해 DUT(20)의 핀으로 인가되고, DUT(20)의 핀을 통해 출력되는 데이터는 비교기(CP)에서 예측 데이터와 비교된다. 출력 데이터가 예측 데이터와 동일하면 DUT는 정상이고, 출력 데이터가 예측 데이터와 동일하지 않으면 불량이다. 그런데, 종래에는 물리적인 채널에 해당하는 비교기 및 드라이버부(120\_1 ~ 120\_i)가 DUT(20)의 핀들과 일대일로 대응되는 구조이다. 따라서, 전술한 바와 같이 많은 핀을 가지는 반도체 장치를 테스트하는데 있어서 한계가 있다.

<11>        그러므로, 종래의 테스트 시스템 및 테스트 방법으로는 많은 핀을 가지는 반도체 장치의 테스트가 불가능하거나, 또는 기존 테스트 시스템의 업그레이드로 인해 테스트 비용이 증가되는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<12>        본 발명이 이루고자 하는 기술적 과제는 테스트 장비에 대한 투자비의 증가를 최소화하면서 핀 수가 많은 반도체 장치에 대해서도 효율적인 테스트를 할 수 있는 반도체 테스트 시스템을 제공하는 것이다.

<13>        본 발명이 이루고자 하는 다른 기술적 과제는 테스트 장비에 대한 투자비의 증가를 최소화하면서 핀 수가 많은 반도체 장치에 대해서도 효율적인 테스트를 할 수 있는 반도체 테스트 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<14>        상기 기술적 과제를 이루기 위한 본 발명은 반도체 장치를 테스트하기 위한 시스템에 관한 것이다. 본 발명에 따른 반도체 테스트 시스템은 핀 일렉트로닉스(PE) 카드로서, 소정의 입력 패턴을 상기 반도체 장치의 입력 핀으로 인가하기 위하여 구동하



는 드라이버 및 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 소정의 출력 패턴과 비교하기 위한 비교기를 포함하는 다수의 비교기 및 드라이버부들; 및 소정의 제어 신호에 응답하여, 상기 비교기 및 드라이버부 각각을 상기 반도체 장치의 각 핀 그룹 중의 어느 하나의 핀과 전기적으로 연결시키는 다수의 제어부들을 포함하는 상기 핀 일렉트로닉스(PE) 카드; 그리고, 상기 입력 패턴 및 상기 출력 패턴을 저장하는 패턴 메모리를 구비한다. 상기 반도체 장치의 핀들 중에서 선택된 핀들은 소정 개수( $K$ ,  $K > 1$ 인 정수) 단위로 상기 각 핀 그룹으로 나뉘어지는 것을 특징으로 한다. 바람직하기로는, 상기 각 제어부는  $K$  대 1의 멀티플렉서이다.

<15>      상기 다른 기술적 과제를 이루기 위한 본 발명은 소정의 입력 패턴을 반도체 장치의 입력 핀으로 인가하기 위하여 구동하는 드라이버 및 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 소정의 출력 패턴과 비교하기 위한 비교기를 포함하는 다수의 비교기 및 드라이버부를 포함하는 핀 일렉트로닉스(PE) 카드를 적어도 하나 구비하는 반도체 테스트 시스템을 이용하여 상기 반도체 장치를 테스트하는 방법에 관한 것이다. 본 발명에 따른 반도체 테스트 방법은 (a) 상기 반도체 장치의 핀들 중에서 일부 핀들을 선택하여, 소정 개수( $K$ ,  $K > 1$ 인 정수) 단위의 각 핀 그룹으로 나누는 단계; (b) 소정의 제어 신호를 발생하는 단계; (c) 상기 제어 신호에 따라, 상기 핀 일렉트로닉스(PE) 카드의 각 비교기 및 드라이버부를 상기 반도체 장치의 상기 각 핀 그룹 중의 어느 하나의 핀과 전기적으로 연결시키는 단계; (d) 상기 입력 패턴을 입력 패턴 메모리로부터 출력하여 상기 반도체 장치의 입력 핀으로 인가하는 단계; 및 (e) 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 출력 패턴 메모리로부터 출력되는 상기 출력 패턴과 비교하는 단계를 구비한다.

- <16> 본 발명의 반도체 테스트 시스템 및 테스트 방법에 의하여, 테스트 장비에 대한 투자비의 증가가 최소화되면서 핀 수가 많은 반도체 장치에 대해서도 효율적인 테스트를 할 수 있다.
- <17> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그리고 본 명세서에서는 설명의 편의상 각 도면을 통하여 동일한 역할을 수행하는 신호는 동일한 참조 부호로 나타낸다.
- <18> 도 2는 본 발명의 일 실시예에 따른 반도체 테스트 시스템을 나타내는 도면이다. 설명의 편의상 측정 대상인 반도체 장치(DUT, 40)가 함께 도시된다. 본 발명의 일 실시예에 따른 반도체 테스트 시스템은 테스트 헤드(30)를 구비하며, 테스트 헤드(30)는 하나 이상의 PE 카드(32)를 구비한다. PE 카드(32)는 다수의 비교기 및 드라이버부(320\_1~320\_j), 다수의 제어부(322\_1 ~ 322\_j), 패턴 메모리(324) 및 메모리 제어부(326)를 포함한다.
- <19> 비교기 및 드라이버부(320\_1~ 320\_j)는 하나의 비교기(CP)와 하나의 드라이버(DR)가 쌍을 이루고 있다. 드라이버(DR)는 패턴 메모리(324)에 저장되어 있는 입력 패턴을 DUT(40)의 입력 핀으로 인가하기 위한 신호로 구동한다. 비교기(CP)는 DUT(40)의 출력핀으로부터 출력되는 데이터를 예측 데이터와 비교하고, 비교 결과를 출력한다. 예측 데이터란 각 출력핀으로부터 출력될 것이라고 예상되는 출력 패턴으로서, 패턴 메모리(324)에 미리 저장되어 있다. 비교기 및 드라이버부(320\_1~ 320\_j)가 PE 카드의 채널에 해당된다. 즉, 비교기 및 드라이버부(320\_1~ 320\_j)의 수에 의해 PE 카드의 물리적인 채널 수가 결정된다고 볼 수 있다.

<20> 각 비교기 및 드라이버부(320\_1 ~ 320\_j)는 각 제어부(322\_1 ~ 322\_j)에 접속된다. 따라서, 비교기 및 드라이버부(320\_1 ~ 320\_j)의 수만큼 제어부(322\_1 ~ 322\_j)가 구비된다. 각 제어부(322\_1 ~ 322\_j)는 각 비교기 및 드라이버부(320\_1 ~ 320\_j)를 2개 이상의 핀들과 연결하는 역할을 한다. 따라서, 2개 이상의 핀들이 하나의 비교기 및 드라이버부를 공유할 수 있게 된다. 이를 위해, DUT(40)의 모든 핀들 중에서 일부를 선택하여 또는 모든 핀들을 소정 개수(K, K>1인 정수) 단위로 각 핀 그룹으로 나눈다. 그리고, 각 핀 그룹은 제어부(322\_1 ~ 322\_j)를 통하여 각 비교기 및 드라이버부(320\_1 ~ 320\_j)에 연결되는데, 이 때, 하나의 핀 그룹에 속하는 핀들은 제어 신호(CS)에 의해 선택적으로 해당 비교기 및 드라이버부에 연결된다.

<21> 도 2에 도시된 실시예에서는 4개의 핀들이 각 핀 그룹을 형성한다. 그리고, 도 2에서는, 각 핀 그룹의 핀들은 DUT(40)의 출력 핀들이다. 즉, 입출력 공용 핀들 또는 출력 전용 핀들이 각 제어부(322\_1 ~ 322\_j)를 통하여 각각의 비교기 및 드라이버부(320\_1 ~ 320\_j)에 선택적으로 연결된다. 이 때, 제어부(322\_1 ~ 322\_j)는 4:1 멀티플렉서로 구현될 수 있다. 제어부(322\_1 ~ 322\_j)는 제어 신호(CS)에 의해 제어된다. 제어 신호(CS)는 다수의 비트들로 구성될 수 있다. 도 2에서와 같이, 제어부(322\_1 ~ 322\_j)가 4:1 멀티플렉서인 경우에는 제어 신호(CS)는 2비트로 구성되는 것이 바람직하다. 제어 신호(CS)는 데이터 버스를 통해 각 제어부(322\_1 ~ 322\_j)로 인가된다. 상기와 같이 DUT(40)의 각 핀들과 PE 카드(32)의 비교기 및 드라이버부(320\_1 ~ 320\_j) 사이에 제어부(322\_1 ~ 322\_j)를 구비함으로써, PE 카드의 채널수가 4배가 된 것과 같은 효과가 발생한다.

<22> 패턴 메모리(324)는 DUT(40)의 각 입력 핀으로 인가될 입력 패턴과 각 출력 핀으로부터 출력될 것으로 예상되는 출력 패턴을 저장해 두는 장소이다. 패턴 메모리(324)는

다수개의 메모리부로 나뉠 수 있다. 본 실시예에서는 패턴 메모리(324)는 4개의 메모리 부(메모리1 ~ 메모리 4)로 구성된다. 패턴 메모리(324)에 저장되어 있는 패턴 데이터는 메모리 제어부(326)의 제어를 받아 출력된다. 본 실시예에서는 패턴 메모리(324) 및 메모리 제어부(326)가 PE 카드(32) 내에 포함되어 있지만, 패턴 메모리(324) 및 메모리 제어부(326)는 별도로 또는 다른 카드에 구현될 수 있다.

<23> 도 2에 도시된 실시예에서는 출력 공유 방식이 사용되고 있다. 즉, 구체적으로 도시되지는 않았지만, DUT(40)의 입력 전용 핀들은 PE 카드(32)의 비교기 및 드라이버부와 1:1로 대응된다. 그리고, 출력 전용 핀들과 입출력 공용 핀들, 즉 출력 핀들은 4개씩 그룹을 이루어 각 제어부(322\_1 ~ 322\_j)를 통해 각 비교기 및 드라이버부(320\_1 ~ 320\_j)를 공유한다. 그러나 본 발명의 반도체 테스트 시스템은 입력 공유 방식 또는 입출력 공유 방식을 사용할 수 있다. 입력 공유 방식은 출력 핀들은 PE 카드의 각 채널과 1:1로 대응되고, 입력 핀들이 몇 개씩 PE 카드의 한 채널을 공유하는 방식이다. 입출력 공유 방식은 입력, 출력 핀들 모두 몇 개씩 PE 카드의 한 채널을 공유하는 방식이다.

<24> 도 2에 도시된 본 발명의 일 실시예에 따른 반도체 테스트 시스템을 이용한 테스트 과정을 설명하면 다음과 같다.

<25> 먼저, DUT(40)의 핀들 중에서 일부 핀들을 선택하여, 소정 개수(K, K>1인 정수) 단위의 각 핀 그룹으로 나눈다. 그리고, 제어 신호(CS)를 발생하여 각 제어부(322\_1 ~ 322\_j)를 제어함으로써, 각 비교기 및 드라이버부(320\_1 ~ 320\_j)를 DUT(40)의 각 핀 그룹 중의 어느 하나의 핀과 전기적으로 연결시킨다. 제어 신호(CS)에 따른 각 제어부(322\_1 ~ 322\_j)의 상세한 동작에 대해서는 후술한다.

<26> 그런 다음, 상기 입력 패턴을 패턴 메모리로부터 출력하여 DUT(40)의 입력 핀으로

인가한다. 그리고, DUT(40)의 출력 핀으로부터 출력되는 데이터를 출력 패턴과 비교한다. DUT(40)의 출력 핀들은 4핀씩 PE 카드(32)의 하나의 채널에 대응된다. 따라서, 제어 신호(CS)는 2비트로 구성되는 것으로 가정한다.

<27> 제어 신호(CS)의 비트 조합에 따른 제1 제어부(322\_1)의 구체적인 동작은 다음과 같다.

<28> 제어 신호(CS)가 '00'일 때, 제1 제어부(322\_1)는 제1 핀(1)을 제1 비교기 및 드라이버부(320\_1)로 연결한다. 제1 핀(1)이 입력 핀이면, 메모리(324)로부터 출력되는 제1 핀(1)에 대한 입력 패턴은 제1 비교기 및 드라이버부(320\_1)의 드라이버(DR)를 통해 제1 핀(1)으로 입력된다. 제1 핀(1)이 출력 핀이면, 제1 핀(1)으로 출력되는 데이터는 제1 비교기 및 드라이버부(320\_1)의 비교기(CP)에서 제1 핀(1)에 대한 출력 패턴과 비교된다. 제1 핀(1)에 대한 출력 패턴은 메모리 제어부(326)의 제어에 따라 패턴 메모리(324)로부터 출력된다.

<29> 제어 신호(CS)가 '01'일 때, 제1 제어부(322\_1)는 제2 핀(2)을 제1 비교기 및 드라이버부(320\_1)로 연결한다. 제1 제어부(322\_1)는 제어 신호(CS)가 '10'일 때는 제3 핀(3)을, 제어 신호(CS)가 '11'일 때는 제4 핀(4)을 각각 제1 비교기 및 드라이버부(320\_1)로 연결한다.

<30> 제2 내지 제j 제어부(322\_2 ~ 322\_j)도 제1 제어부(322\_1)와 마찬가지로, 제어 신호(CS)에 따라 4개의 핀들 중의 어느 하나를 각 비교기 및 드라이버부(330\_2 ~ 330\_j)로 연결한다.

<31> 따라서, 모든 핀들에 대해 테스트하기 위해서는 제어 신호(CS)를 변화시켜가며, 각

출력 핀으로부터 출력되는 데이터와 출력 패턴을 비교하여야 한다. 출력되는 실제 데이터가 출력 패턴과 동일하면 DUT(40)의 기능은 정상이고, 동일하지 않으면 불량이다.

<32>      상기와 같이, DUT(40)의 핀 4개를 PE 카드(32)의 하나의 채널과 대응시킴으로써, PE 카드(32)의 물리적인 채널 수의 4배의 핀 수를 가진 DUT(40)에 대해서도 테스트 할 수 있다. 예를 들어, PE 카드(32)의 채널 수가 256 채널인 경우, 도 2에서와 같이 PE 카드(32)의 하나의 채널에 대해 DUT(40)의 4개의 핀을 대응시킴으로써, 즉 4:1 공유를 함으로써, 최대 1024 핀까지 테스트가 가능하다. 즉, 물리적으로는 256채널인 PE 카드(32)를 마치 1024 채널처럼 사용할 수 있다. 이 때, 공유 방식에 의해 확장되는 채널을 물리적 채널에 대응하여 확장 채널로 지칭하기로 한다. 1024개의 확장 채널에 대한 패턴은 256 채널씩 나뉘어져 각 메모리부로 저장된다. 즉, 1~256 채널, 257~512채널, 513~768 채널 및 769~1024 채널에 대한 패턴이 패턴 메모리(324)의 메모리 1 내지 메모리 4에 각각 저장된다. 그리고, 1~256 채널에 대한 패턴은 제어 신호가 '00'일 때, 257~512 채널에 대한 패턴은 제어 신호가 '01'일 때, 513~768 채널에 대한 패턴은 제어 신호가 '10'일 때, 그리고, 769~1024 채널에 대한 패턴은 제어 신호가 '11'일 때 각각 출력된다. 따라서, 제어 신호(CS)가 각각 '00', '01', '10' 그리고 '11' 일 때의 패턴이 메모리 1 내지 메모리 4에 구분되어 저장된다.

<33>      도 2에 도시된 패턴 메모리(324)는 확장 채널에 대한 패턴을 모두 저장할 수 있는 크기이다. 따라서, 패턴 메모리(324)는 큰 용량을 필요로 하며, 이에 따라 패턴 메모리(324)의 크기도 커진다. 이를 개선하기 위해 도 4 또는 도 5에 도시된 패턴 메모리를 제시한다. 본 발명의 일 실시예에 따른 반도체 테스트 시스템의 패턴 메모리를 설명하기 전에 종래 기술에 따른 반도체 테스트 시스템의 패턴 메모리를 살펴보기 위해 도 3을 참

조한다.

<34> 도 3은 종래 기술에 따른, 즉, PE 카드의 채널이 반도체 장치의 핀과 일대일로 대응되는 반도체 테스트 시스템에서의 패턴 메모리(50)를 보여준다. 패턴 메모리(50)는 제1 핀(Pin1) 내지 제1 핀(Pin1)의 입출력 패턴을 저장한다. 패턴 메모리(50)는 제1 핀(Pin1) 내지 제1 핀(Pin1)의 입출력 패턴을 m 라인만큼 저장할 수 있으며, 이러한 입출력 패턴은 동일한 반도체 장치에 대한 테스트 동안에는 고정된다. 다만, 테스트 패턴이 m 라인 이상일 때는 m 라인만큼의 테스트가 이루어진 후에 새로운 테스트 패턴이 저장된다.

<35> 도 4는 본 발명의 일 실시예에 따른 반도체 테스트 시스템의 패턴 메모리를 나타내는 도면이다. 본 발명의 일 실시예에 따른 반도체 테스트 장치의 패턴 메모리는 입력 패턴 메모리(62)와 출력 패턴 메모리(64)로 나뉘어진다. 입력 패턴 메모리(62)는 입력 핀들(Pin1 ~ Pin n)에 대한 m 라인의 패턴을 저장하는데, 입력 패턴 메모리(62)에 저장되는 입력 패턴은 동일한 반도체 장치에 대해 m 라인의 테스트 패턴을 이용하여 이루어지는 테스트 동안에는 고정된다. 출력 패턴 메모리(64)는 고정된 출력 패턴을 저장하지 않고, 공유 1에서 공유 k까지 k개의 출력 패턴을 저장할 수 있다. 여기서, k는 각 제어부(322\_1 ~ 322\_j)의 멀티플렉싱 비율이다. 즉, 제어부(322\_1 ~ 322\_j)는 제어 신호(CS)의 제어에 따라 k 개의 핀을 하나의 비교기 및 드라이버부와 선택적으로 연결시키게 된다. 따라서, 제어 신호(CS)는 적어도 k 개의 다른 상태를 가진다. 제어 신호(CS)를 제1 상태로 하여 반도체 장치를 테스트하기 위해서는 제어 신호(CS)가 제1 상태일 때 선택되는 각 핀에 대한 출력 패턴들이 미리 하드 디스크(66)로부터 출력되어 출력 버퍼 메모리(64)에 저장된다. 마찬가지로, 제어 신호(CS)를 제2 상태로 하여 반도체 장치를 테스트

하기 위해서는 제어 신호가 제2 상태일 때 선택되는 각 편에 대한 출력 패턴들이 미리 하드 디스크(66)로부터 출력되어 출력 버퍼 메모리(64)에 저장된다. 출력 패턴 메모리(64)에 저장되는 출력 패턴을 제어 신호(CS)에 따라 변경함으로써, 출력 버퍼 메모리의 크기가 증가하지 않는다. 상기와 같이 하나의 출력 패턴 메모리(64)에 k 개의 출력 패턴을 적절히 로딩(loading)하기 위하여, 이를 제어하기 위한 회로 또는 프로그램이 추가될 수 있다.

<36> 도 5는 본 발명의 다른 일 실시예에 따른 반도체 테스트 시스템의 패턴 메모리(72)를 나타내는 도면이다. 본 발명의 다른 일 실시예에 따른 반도체 테스트 장치의 패턴 메모리(72)는 입력 패턴과 출력 패턴이 각각 저장되는 메모리부로 나뉘어진다. 그리고, 본 발명의 다른 일 실시예에 따른 반도체 테스트 시스템은 버퍼 메모리(74)를 더 구비한다. 패턴 메모리(72)의 입력 패턴 메모리부에 저장되는 입력 패턴은 고정된다. 반면, 출력 패턴은 하드 디스크(66)로부터 출력되어, 버퍼 메모리(74)에 일시적으로 저장되어 있다가 필요에 따라 출력 패턴 메모리부로 로딩된다.

<37> 도 4 및 도 5에 도시된 패턴 메모리는 출력 공유 방식의 반도체 테스트 시스템에 포함되는 패턴 메모리를 보여준다. 그러나, 본 발명의 실시예들에 따른 반도체 테스트 시스템의 패턴 메모리는 입력 공유 방식 또는 입출력 공유 방식에 마찬가지로 적용될 수 있음은 당연하다.

<38> 다시 도 2를 참조하면, 도 2는 패키지 형태의 반도체 장치를 테스트하는 경우를 도시한다. 패키지 형태의 반도체 장치가 테스트되는 경우에는 도 2에 도시된



바와 같이, PE 카드(32)와 DUT(40)가 바로 전기적으로 접속된다. 그런데, 웨이퍼(wafer) 형태의 반도체 장치가 테스트되는 경우에는, PE 카드(32)와 DUT(40) 사이에 프루브 스테이션(Probe station)이 더 추가되어 프루브 핀(probe pin)을 통하여 웨이퍼의 패드에 접속함으로써, 테스트가 이루어질 수 있다. 이 경우에도 본 발명이 동일하게 적용될 수 있음은 물론이다.

<39> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<40> 본 발명의 반도체 테스트 시스템 및 테스트 방법을 이용함으로써, 테스트 장비에 대한 투자비의 증가가 최소화되면서 핀 수가 많은 반도체 장치에 대해서도 효율적인 테스트를 할 수 있다. 즉, 저 비용 테스트 장비를 이용하여 다 핀의 반도체 장치에 효율적인 테스트를 할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 장치를 테스트하기 위한 시스템에 있어서,  
핀 일렉트로닉스(PE) 카드로서,  
소정의 입력 패턴을 상기 반도체 장치의 입력 핀으로 인가하기 위하여 구동하는 드라이버 및 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 소정의 출력 패턴과 비교하기 위한 비교기를 각각 포함하는 다수의 비교기 및 드라이버부들; 및  
소정의 제어 신호에 응답하여, 상기 비교기 및 드라이버부 각각을 상기 반도체 장치의 각 핀 그룹 중의 어느 하나의 핀과 전기적으로 연결시키는 다수의 제어부들을 포함하는 상기 핀 일렉트로닉스(PE) 카드; 및  
상기 입력 패턴 및 상기 출력 패턴을 저장하는 패턴 메모리를 구비하며,  
상기 반도체 장치의 핀들 중에서 선택된 핀들은 소정 개수( $K$ ,  $K > 1$ 인 정수) 단위로 상기 각 핀 그룹으로 나뉘어지는 것을 특징으로 하는 반도체 테스트 시스템.

**【청구항 2】**

제1 항에 있어서, 상기 각 제어부는  
 $K$  대 1의 멀티플렉서인 것을 특징으로 하는 반도체 테스트 시스템.

**【청구항 3】**

제1 항에 있어서, 상기 제어 신호는  
데이터 버스를 통해 상기 각 제어부로 인가되는 것을 특징으로 하는 반도체 테스트 시스템.

**【청구항 4】**

제1 항에 있어서,

상기 각 핀 그룹의 핀들은 출력 핀들이며,

상기 패턴 메모리는 상기 입력 패턴을 저장하는 입력 패턴 메모리; 및 상기 출력 패턴을 저장하는 출력 패턴 메모리를 포함하며,

상기 출력 패턴 메모리에는 상기 제어 신호의 상태에 따라 서로 다른 출력 패턴이 외부의 저장 장치로부터 출력되어 저장되는 것을 특징으로 하는 반도체 테스트 시스템.

**【청구항 5】**

제1 항에 있어서,

상기 각 핀 그룹의 핀들은 입력 핀들이며,

상기 패턴 메모리는 상기 입력 패턴을 저장하는 입력 패턴 메모리; 및 상기 출력 패턴을 저장하는 출력 패턴 메모리를 포함하며,

상기 입력 패턴 메모리에는 상기 제어 신호의 상태에 따라 서로 다른 입력 패턴이 외부의 저장 장치로부터 출력되어 저장되는 것을 특징으로 하는 반도체 테스트 시스템.

**【청구항 6】**

제1 항에 있어서,

상기 각 핀 그룹의 핀들은 입력 핀들 및 출력 핀들을 모두 포함하고,

상기 패턴 메모리는 상기 입력 패턴을 저장하는 입력 패턴 메모리; 및 상기 출력 패턴을 저장하는 출력 패턴 메모리를 포함하며,

상기 입력 패턴 메모리에는 상기 제어 신호의 상태에 따라 서로 다른 입력 패턴이

외부의 저장 장치로부터 출력되어 저장되고, 상기 출력 패턴 메모리에는 상기 제어 신호의 상태에 따라 서로 다른 출력 패턴이 외부의 저장 장치로부터 출력되어 저장되는 것을 특징으로 하는 반도체 테스트 시스템.

【청구항 7】

제1 항에 있어서,

상기 각 핀 그룹의 핀들은 출력 핀들이며,

상기 패턴 메모리는 상기 입력 패턴을 저장하는 입력 패턴 메모리; 및 상기 출력 패턴을 저장하는 출력 패턴 메모리를 포함하며,

상기 출력 패턴은 버퍼 메모리에 저장되었다가, 필요에 따라 상기 출력 패턴 메모리로 로딩되는 것을 특징으로 하는 반도체 테스트 시스템.

【청구항 8】

소정의 입력 패턴을 반도체 장치의 입력 핀으로 인가하기 위하여 구동하는 드라이버 및 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 소정의 출력 패턴과 비교하기 위한 비교기를 포함하는 다수의 비교기 및 드라이버부를 포함하는 핀 일렉트로닉스(PE) 카드를 적어도 하나 구비하는 반도체 테스트 시스템을 이용하여 상기 반도체 장치를 테스트하는 방법에 있어서,

(a) 상기 반도체 장치의 핀들 중에서 일부 핀들을 선택하여, 소정 개수( $K$ ,  $K > 1$ 인 정수) 단위의 각 핀 그룹으로 나누는 단계;

(b) 소정의 제어 신호를 발생하는 단계;

(c) 상기 제어 신호에 따라, 상기 핀 일렉트로닉스(PE) 카드의 각 비교기 및 드라

이버부를 상기 반도체 장치의 상기 각 핀 그룹 중의 어느 하나의 핀과 전기적으로 연결시키는 단계;

(d) 상기 입력 패턴을 입력 패턴 메모리로부터 출력하여 상기 반도체 장치의 입력 핀으로 인가하는 단계; 및

(e) 상기 반도체 장치의 출력 핀으로부터 출력되는 데이터를 출력 패턴 메모리로부터 출력되는 상기 출력 패턴과 비교하는 단계를 구비하는 것을 특징으로 하는 반도체 테스트 방법.

**【청구항 9】**

제8 항에 있어서, 상기 반도체 테스트 방법은

상기 (a) 단계에서, 상기 반도체 장치의 핀들 중에서 입력 핀들을 선택하여 상기 각 핀 그룹으로 나누고,

상기 (d) 단계 이전에 상기 입력 패턴 중에서 상기 제어 신호의 상태에 해당하는 입력 패턴을 외부의 저장 장치로부터 출력하여 상기 입력 패턴 메모리로 저장하는 것을 특징으로 하는 반도체 테스트 방법.

**【청구항 10】**

제8 항에 있어서, 상기 반도체 테스트 방법은

상기 (a) 단계에서, 상기 반도체 장치의 핀들 중에서 출력 핀들을 선택하여 상기 각 핀 그룹으로 나누고,

상기 (e) 단계 이전에 상기 출력 패턴 중에서 상기 제어 신호의 상태에 해당하는

출력 패턴을 외부의 저장 장치로부터 출력하여 상기 출력 패턴 메모리로 저장하는 것을 특징으로 하는 반도체 테스트 방법.

【청구항 11】

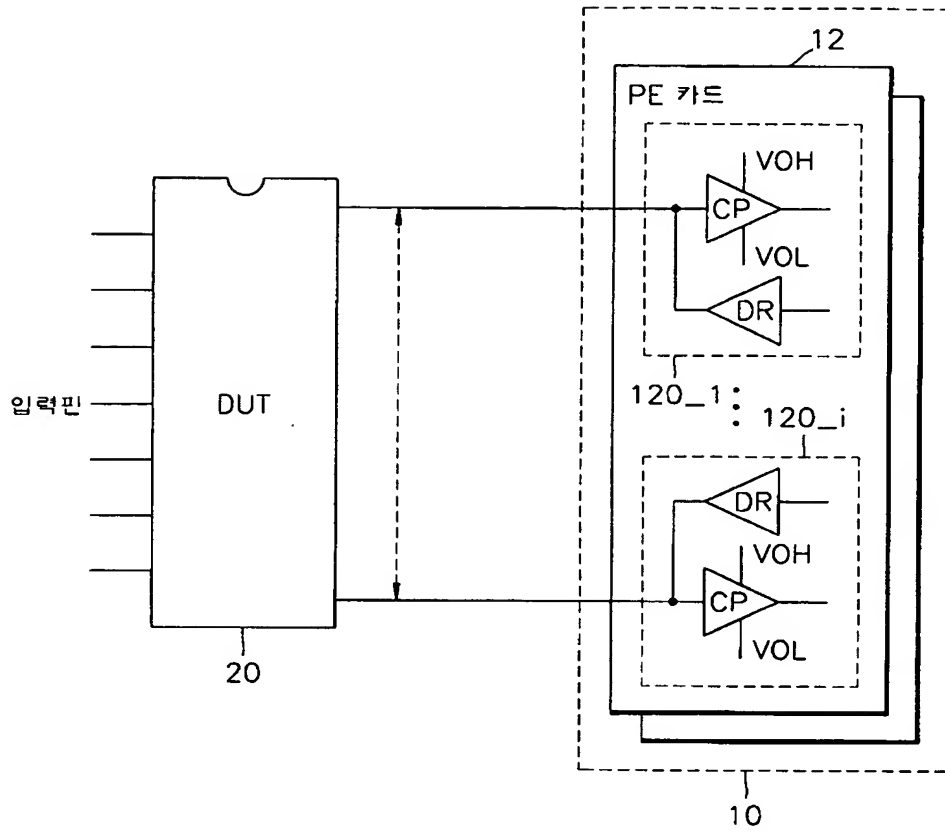
제8 항에 있어서, 상기 반도체 테스트 방법은

상기 (a) 단계에서, 상기 반도체 장치의 핀들의 모든 핀들을 선택하여 상기 각 핀 그룹으로 나누고,

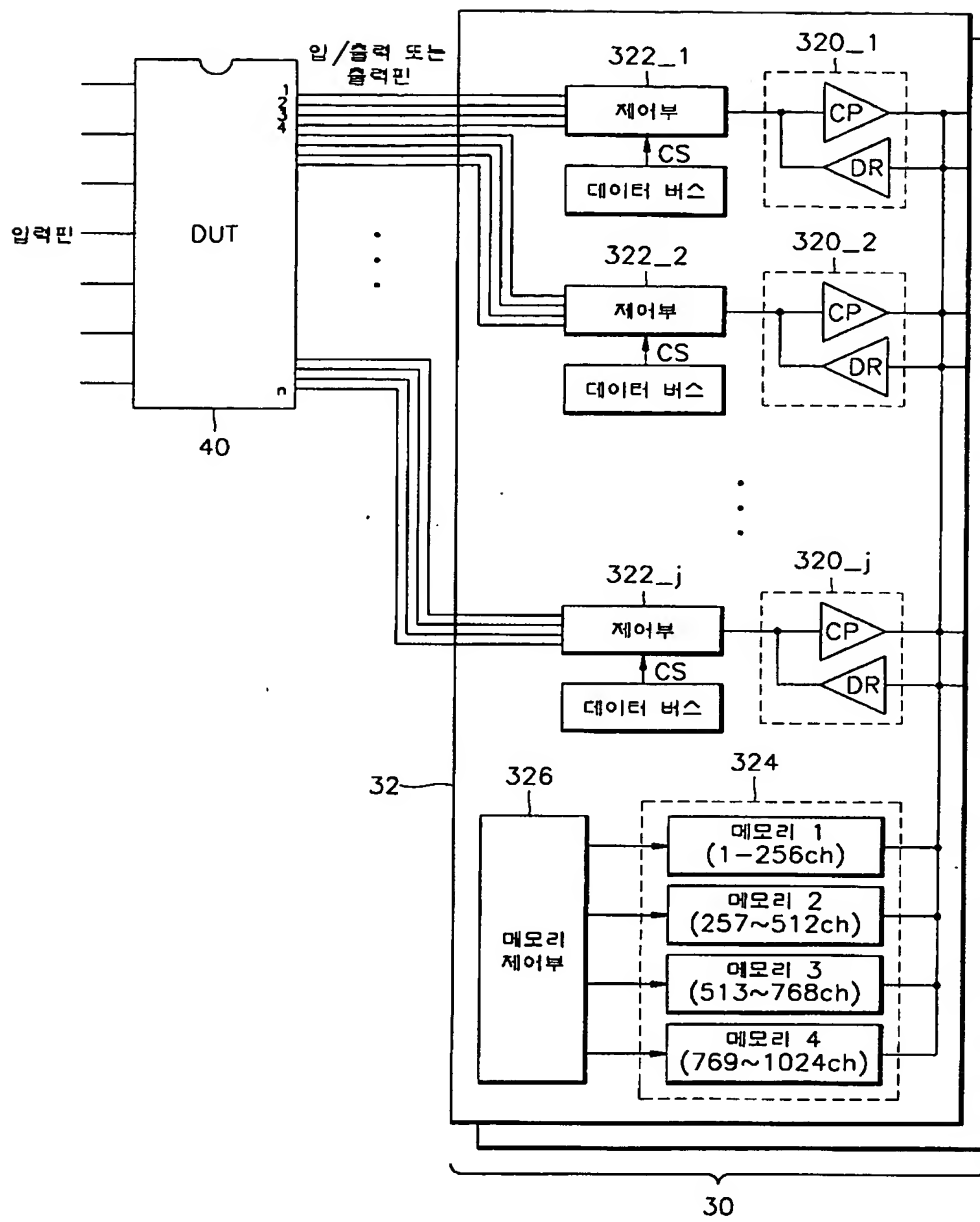
상기 (d) 단계 이전에 상기 입력 패턴 중에서 상기 제어 신호의 상태에 해당하는 입력 패턴을 외부의 저장 장치로부터 출력하여 상기 입력 패턴 메모리로 저장하며, 상기 (e) 단계 이전에 상기 출력 패턴 중에서 상기 제어 신호의 상태에 해당하는 출력 패턴을 외부의 저장 장치로부터 출력하여 상기 출력 패턴 메모리로 저장하는 것을 특징으로 하는 반도체 테스트 방법.

## 【도면】

【도 1】

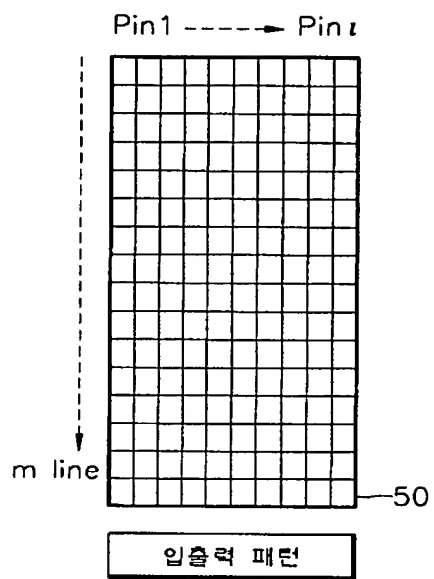


【도 2】

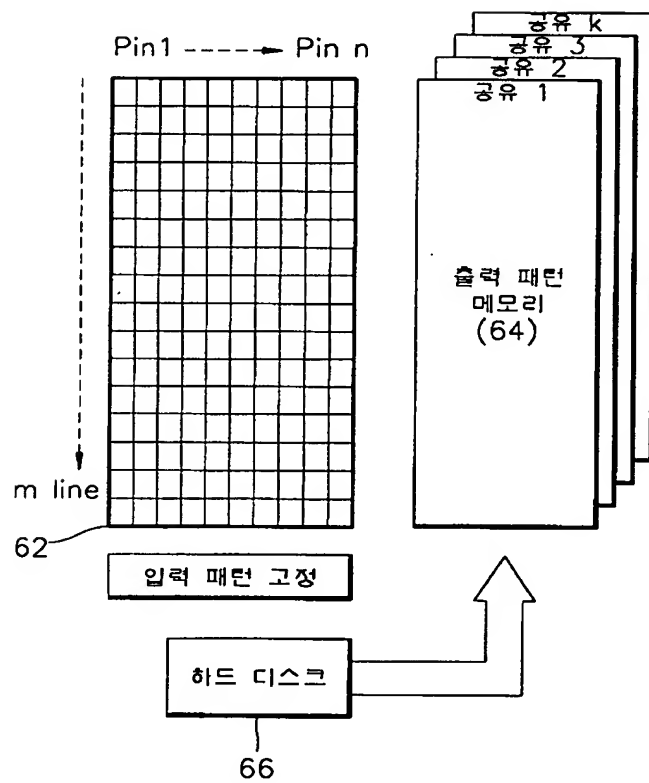




【도 3】



【도 4】



【도 5】

